

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-310666

(43)Date of publication of application : 04.11.1994

(51)Int.Cl.

H01L 27/092

H01L 21/28

(21)Application number : 05-120658

(71)Applicant : RICOH CO LTD

(22)Date of filing : 23.04.1993

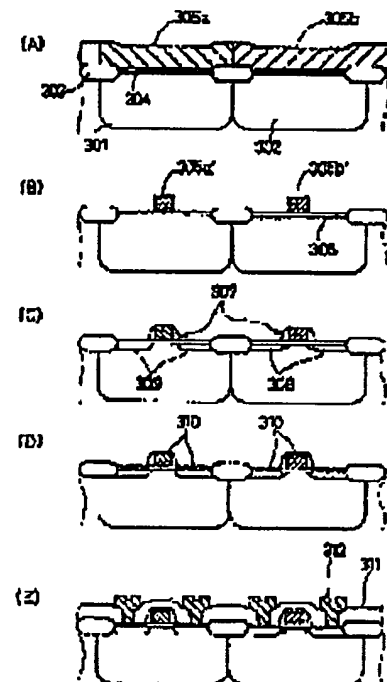
(72)Inventor : ISHIDA MAMORU

## (54) MANUFACTURE OF CMOS SEMICONDUCTOR DEVICE OF DUAL GATE STRUCTURE

### (57)Abstract:

**PURPOSE:** To make a resistance of a polysilicon gate electrode small enough and to achieve a shallow junction between a source region and a drain region.

**CONSTITUTION:** A polysilicon film is formed on a gate oxide film 304. B ions are implanted into a polysilicon film region 305a and P ions are implanted into a polysilicon film region 305b to activate the regions. Then, the polysilicon film is patterned into gate electrodes and ions are implanted into a substrate at low density to activate the substrate and then to form a source and a drain. A titanium silicide layer 310 is formed by silicide processing on the surface of the gate electrodes, the source and the drain region, and a substrate contact region.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-310666

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H01L 27/092				
21/28	301 D	7376-4M		
		9170-4M		
			H01L 27/08	321 D

審査請求 未請求 請求項の数7 FD (全7頁)

(21)出願番号 特願平5-120658

(22)出願日 平成5年(1993)4月23日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 石田 守

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

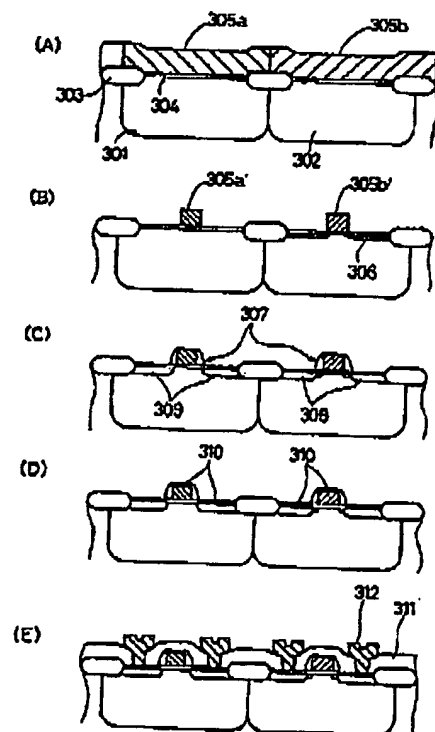
(74)代理人 弁理士 野口 繁雄

(54)【発明の名称】 デュアルゲート構造CMOS型半導体装置の製造方法

## (57)【要約】

【目的】 ポリシリコンゲート電極の十分な低抵抗化とソース領域及びドレイン領域の浅い接合をともに表現する。

【構成】 ゲート酸化膜304上にポリシリコン膜を形成し、ポリシリコン膜領域305aにはBイオンを注入し、ポリシリコン膜領域305bにはPイオンを注入し活性化する。それぞれのポリシリコン膜をゲート電極形状にパターン化し、基板に低濃度のイオン注入をし、活性化してソース・ドレインを形成する。ゲート電極表面、ソース・ドレイン領域表面及び基板コンタクト領域表面にはサリサイドプロセスによりチタンシリサイド層310を形成する。



## 【特許請求の範囲】

【請求項1】 シリコン基板上のゲート酸化膜上にポリシリコン膜を形成し、そのポリシリコン膜をゲート電極形状にパターン化した後、シリコン基板上に不純物を導入してCMOS型半導体装置を製造する方法において、前記ポリシリコン膜をゲート電極形状にパターン化する前に、P型ゲート電極を形成する領域のポリシリコン膜にボロンイオンのみを注入して低抵抗化し、N型ゲート電極を形成する領域のポリシリコン膜にN型不純物を注入して低抵抗化しておくことを特徴とするデュアルゲート構造CMOS型半導体装置の製造方法。

【請求項2】 シリコン基板上のゲート酸化膜上にポリシリコン膜を形成し、そのポリシリコン膜をゲート電極形状にパターン化した後、シリコン基板上に不純物を導入してCMOS型半導体装置を製造する方法において、前記ポリシリコン膜として全体をN型不純物で低抵抗化したポリシリコン膜を形成し、前記ポリシリコン膜をゲート電極形状にパターン化する前に、P型ゲート電極を形成する領域のポリシリコン膜にボロンイオンのみを注入して低抵抗化しておくことを特徴とするデュアルゲート構造CMOS型半導体装置の製造方法。

【請求項3】 シリコン基板上のゲート酸化膜上にポリシリコン膜を形成し、そのポリシリコン膜をゲート電極形状にパターン化した後、シリコン基板上に不純物を導入してCMOS型半導体装置を製造する方法において、前記ポリシリコン膜として全体をボロンのみでP型に低抵抗化したポリシリコン膜を形成し、前記ポリシリコン膜をゲート電極形状にパターン化する前に、N型ゲート電極を形成する領域のポリシリコン膜にリン又は砒素を注入して低抵抗化しておくことを特徴とするデュアルゲート構造CMOS型半導体装置の製造方法。

【請求項4】 前記ポリシリコン膜をゲート電極形状にパターン化した後、Nチャネル型MOSFETのソース・ドレイン領域にはリン又は砒素を注入し、Pチャネル型MOSFETのソース・ドレイン領域にはBF<sub>3</sub>を注入し、その後、サリサイドプロセスによりゲート電極上、ソース領域上、ドレイン領域上及び基板コンタクト領域上にシリサイド層を形成する請求項1、2又は3に記載のデュアルゲート構造CMOS型半導体装置の製造方法。

【請求項5】 前記ポリシリコン膜をゲート電極形状にパターン化した後、サリサイドプロセスによりゲート電極上、ソース領域上、ドレイン領域上及び基板コンタクト領域上にシリサイド層を形成し、その後、Nチャネル型MOSFETのソース・ドレイン領域にはリン又は砒素を注入し、Pチャネル型MOSFETのソース・ドレイン領域にはBF<sub>3</sub>を注入する請求項1、2又は3に記載のデュアルゲート構造CMOS型半導体装置の製造方法。

【請求項6】 ソース領域とドレイン領域を形成するた

(2)

特開平6-310666

2

めのイオン注入工程のドーズ量は、N型不純物として砒素を注入するときは $2 \times 10^{14} / \text{cm}^2$ 以下、P型不純物としてBF<sub>3</sub>を注入するときは $5 \times 10^{14} / \text{cm}^2$ 以下とする請求項4又は5に記載のデュアルゲート構造CMOS型半導体装置の製造方法。

【請求項7】 ソース領域とドレイン領域に注入された不純物の活性化とシリサイド化反応を同じ高温熱処理工程により行なう請求項6に記載のデュアルゲート構造CMOS型半導体装置の製造方法。

10 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はCMOS半導体装置の製造方法に関し、特に例えばサブミクロン以下と称されるような微細パターンを有するデュアルゲート構造CMOS型半導体装置の製造方法に関するものである。

【0002】

【従来の技術】一般に、半導体装置プロセスは、微細化が進むほどその工程数が増加する傾向にある。また、MOSFETのプロセスでは、微細化が進むほど短チャネル効果やホットキャリア効果など種々の問題が生じる。

20 【0003】同一基板にNチャネルMOSFETとPチャネルMOSFETを形成したCMOSデバイスでは、ポリシリコンゲート電極としてはN<sup>+</sup>ポリシリコンゲート電極が広く用いられている。これは、ポリシリコン膜上にリンガラスを堆積し、熱処理によってリンをポリシリコン膜に拡散させて低抵抗化を図ったシリコンゲート電極である。そのようなCMOSデバイスでは、Nチャネル側を表面チャネル型、Pチャネル側を埋込みチャネル型にしている場合が多い。

30 【0004】しかし、微細化が進みサブミクロン以下と称されるようなプロセスになると、埋込み型構造では短チャネル効果を抑制することが困難になるため、Pチャネル型も表面型に移行せざるを得ない状況になっている。その場合、PチャネルMOSFETのしきい値電圧を制御する上でデュアルゲート構造が必要になっている。デュアルゲート構造はNチャネルMOSFETではN<sup>+</sup>ポリシリコンゲート電極、PチャネルMOSFETではP<sup>+</sup>ポリシリコンゲート電極（アクセプタ注入によるポリシリコンゲート電極の低抵抗化）になっているものをさす。

40 【0005】デュアルゲート構造CMOS型半導体装置の製造方法としては、その工程数を削減するために、MOSFETのゲート、ソース・ドレイン及び基板コンタクト領域をN型領域とP型領域でそれぞれ1回ずつのイオン注入工程で形成するセルフアラインプロセスが知られている。

【0006】

【発明が解決しようとする課題】PチャネルMOSFET、NチャネルMOSFETともに、ソース・ドレインの浅い接合形成条件をポリシリコンゲート電極へのイオ

3

ン注入に用いると、ゲート絶縁膜近傍のポリシリコンゲート電極は低抵抗化が不十分な空乏化状態となり、MOSFETのしきい値が変動したり、CMOS高速動作の障害となる。また、PチャネルMOSFETのソース・ドレインの浅い接合形成に不可欠な $BF_2$ をポリシリコンゲート電極へのイオン注入に用いると、Fによりゲート酸化膜中でBが増速拡散しやすく、それがチャネル領域に拡散してMOSFETのしきい値電圧を変動させてします。

【0007】これらの問題を解決しようとするれば、ポリシリコン膜厚、イオン注入条件、活性化条件などを厳密に制御しなければならず、マージンの少ないプロセスを検討しなければならなくなる。また、ゲート電極の低抵抗化とソース・ドレインの浅い接合形成という相反する要求をともに満足させることが難しいため、望ましい素子設計ができなかった。

【0008】本発明の第1の目的はポリシリコンゲート電極の十分な低抵抗化とソース領域及びドレイン領域の浅い接合をともに実現することである。本発明の第2の目的はPチャネルMOSFETにおいてはチャネル領域へのボロンの拡散を抑え、しきい値電圧の変化を抑えることである。

【0009】

【課題を解決するための手段】本発明はデュアルゲート構造のCMOS型半導体装置を製造する際に、ゲート電極の形成とソース・ドレインの浅い接合形成に次の基本構成を備えたものである。

(1) デュアルゲートとソース・ドレインへの不純物導入を別のプロセスで行ない、ゲート電極の低抵抗化とソース・ドレインの浅い接合形成をともに満足させる。

(2) P型導電型のゲート電極の低抵抗化とゲート電極からチャネル領域へのボロン拡散抑制を、ドーピング不純物としてボロンのみを使用することによって実現する。

【0010】(3) ソース・ドレインの形成にはサリサイドプロセスを用いることを前提として、その注入ドーズ量を低下させることにより浅い接合を形成する。そして、ソース・ドレインへの注入ドーズ量をシリコン基板のアモルファス化が起こる臨界ドーズ量以下に設定することにより、低温での活性化を可能にし、結晶欠陥の発生を抑える。

(5) また、ソース・ドレインの低温活性化が可能になることによって、活性化とサリサイドプロセスにおけるシリサイド化反応を同時に行なう。

【0011】本発明の製造方法の一態様では、ポリシリコン膜をゲート電極形状にパターン化する前に、P型ゲート電極を形成する領域のポリシリコン膜にボロンイオンのみを注入して低抵抗化し、N型ゲート電極を形成する領域のポリシリコン膜にN型不純物を注入して低抵抗化しておくこと。

(3)

特開平6-310666

4

【0012】本発明の製造方法の他の態様では、ポリシリコン膜として全体をN型不純物で低抵抗化したポリシリコン膜を形成し、ポリシリコン膜をゲート電極形状にパターン化する前に、P型ゲート電極を形成する領域のポリシリコン膜にボロンイオンのみを注入して低抵抗化しておくこと。

【0013】本発明の製造方法のさらに他の態様では、ポリシリコン膜として全体をボロンのみでP型に低抵抗化したポリシリコン膜を形成し、ポリシリコン膜をゲート電極形状にパターン化する前に、N型ゲート電極を形成する領域のポリシリコン膜にリン又は砒素を注入して低抵抗化しておく。

【0014】本発明ではまた、ポリシリコン膜をゲート電極形状にパターン化した後、Nチャネル型MOSFETのソース・ドレイン領域にはリン又は砒素を注入し、Pチャネル型MOSFETのソース・ドレイン領域には $BF_2$ を注入し、その後、サリサイドプロセスによりゲート電極上、ソース領域上、ドレイン領域上及び基板コンタクト領域上にシリサイド層を形成するか、又はその逆に、ポリシリコン膜をゲート電極形状にパターン化した後、サリサイドプロセスによりゲート電極上、ソース領域上、ドレイン領域上及び基板コンタクト領域上にシリサイド層を形成し、その後、Nチャネル型MOSFETのソース・ドレイン領域にはリン又は砒素を注入し、Pチャネル型MOSFETのソース・ドレイン領域には $BF_2$ を注入する。

【0015】好ましい態様では、ソース領域とドレイン領域を形成するためのイオン注入工程のドーズ量は、N型不純物として砒素を注入するときは $2 \times 10^{14} / \text{cm}^2$ 以下、P型不純物として $BF_2$ を注入するときは $5 \times 10^{14} / \text{cm}^2$ 以下とする。さらに好ましい態様では、ソース領域とドレイン領域に注入された不純物の活性化とシリサイド化反応を同じ高温熱処理工程により行なう。

【0016】先ず最初に、P型ゲート電極の低抵抗化とチャネル領域へのボロン拡散抑制について説明する。ポリシリコン膜をゲート電極形状にパターン化する前に、予めP型とN型の不純物をポリシリコン膜のそれぞれの領域に導入して十分低抵抗化しておく。図1はその方法を示したものである。シリコン基板10の表面にNウェル11、Pウェル12、フィールド酸化膜13及びゲート酸化膜14が形成された試料に対し、ゲート酸化膜14上及びフィールド酸化膜13上にポリシリコン膜を形成する。PチャネルMOSFETを作成する領域以外をレジスト16で被い、ポリシリコン膜にボロンイオンを注入してP型ゲート電極のためのP型ドーブ領域15aを形成する。

【0017】次に、NチャネルMOSFETを作成する領域以外を上記と同様にレジストで被い、ポリシリコン膜にリン又は砒素をイオン注入してN型ゲート電極のためのN型ドーブ領域15bを形成する。この方法を用い

5

れば、PチャネルMOSFETのゲート電極、ソース・ドレイン及び基板コンタクト領域をセルフアライン注入で同時形成する場合に使用するBF<sub>2</sub>イオンをゲート電極の低抵抗化のために使用しなくてすむので、P型ゲート電極の低抵抗化とチャネル領域へのボロン拡散抑制をともに満足することができる。

【0018】図2は図1の試料で膜厚が約125Åのゲート酸化膜14上に膜厚が約3500Åのポリシリコン膜を形成し、ドーズ量 $5 \times 10^{15} / \text{cm}^2$ でボロンとBF<sub>2</sub>をそれぞれ注入し、850℃で30分間窒素中でアニールしたときのP型ポリシリコン膜の抵抗とチャネル領域のボロン濃度を調べた結果である。(A)はボロンのみを注入した場合、(B)はBF<sub>2</sub>を注入した場合である。ポリシリコン膜の膜厚の中心部にボロン濃度のピークを与えるために、注入エネルギーはボロンの場合は40KeV、BF<sub>2</sub>の場合は130KeVとした。

【0019】図2の結果によれば、P型ポリシリコン膜の抵抗は注入イオンがBでもBF<sub>2</sub>でもほぼ一定である。しかし、チャネル領域のB濃度は、注入イオンにBのみを用いることによってBF<sub>2</sub>注入の場合よりも大幅に低減できることが分かる。ポリシリコン膜の導電性をP型領域とN型領域にする方法としては、図1に示した方法の他に、ポリシリコン膜全体を予めN型(又はP型)に低抵抗化しておき、P型(又はN型)ゲート電極を形成する領域以外をレジストで被い、B(又はリンもしくは砒素)をイオン注入する方法を用いることができる。ポリシリコン膜全体を予めN型又はP型に低抵抗化しておく方法は、工程数が少なくすむ。

【0020】次に、ソース領域とドレイン領域の形成に関して説明する。デュアルゲートにはP型ゲート電極とN型ゲート電極を接続するためのシリサイドが必要不可欠であり、本発明ではシリサイドプロセスによってゲート電極及びソース・ドレイン領域にシリサイドを形成する。この場合、ソース・ドレイン領域の寄生抵抗は、シリサイド層が存在することによって問題にならなくなり、ソース・ドレインの抵抗は数Ω/□程度になる。この理由からソース・ドレインへの注入ドーズ量をMOSFETの動作上問題にならない範囲で最低限にまで低下させることができるようになる。シリサイド層を設けない従来の場合には、注入ドーズ量を低下させるとソース・ドレインの抵抗が高くなってMOSFETの動作上問題が生じる。

【0021】また、ソース・ドレインへの注入ドーズ量が少なくなることから、浅い接合形成、低温での活性化、ひいてはシリサイド化反応の同時熱処理が可能になる。このような効果を出現するドーズ量は、シリコン基板のアモルファス化が起こる臨界ドーズ量以下であればよく、砒素注入の場合は $2 \times 10^{14} / \text{cm}^2$ 以下、BF<sub>2</sub>注入の場合は $5 \times 10^{14} / \text{cm}^2$ 以下である。BF<sub>2</sub>のドーズ量が $5 \times 10^{14} / \text{cm}^2$ 以下であれば、ソース・ド

(4)

特開平6-310666

6

レインへのイオン注入によってゲートにBF<sub>2</sub>が注入されても、Fによる増速酸化は問題のないレベルに抑えることができる。

【0022】

【実施例】図3はゲート電極の低抵抗化と浅い接合形成をともに実現するデュアルゲート構造CMOSの作成プロセスの第1の実施例を示したものである。

(A) シリコン基板300にNウェル301、Pウェル302、フィールド酸化膜303、ゲート酸化膜304を形成し、フィールド酸化膜303とゲート酸化膜304上に膜厚が約3500Åのポリシリコン膜を形成する。そのポリシリコン膜上にレジストパターンを形成し、レジストパターンをマスクとしてNウェル301上のポリシリコン膜にはBイオンを約20KeVで、約 $4 \times 10^{15} / \text{cm}^2$ 注入してP型ポリシリコン膜305aとする。別のレジストパターンをマスクとしてPウェル302上のポリシリコン膜にはPイオンを約40KeVで、約 $2 \times 10^{15} / \text{cm}^2$ 注入してN型ポリシリコン膜305bとする。そして、約850℃で30分の窒素雰囲気中でのアニールを施して活性化する。

【0023】(B) ポリシリコン膜をゲート電極形状にパターン化し、NチャネルMOSFET領域ではLDD用にN型不純物を低濃度に注入してN<sup>+</sup>領域306を形成する。

(C) ゲート電極の側面にサイドウォール307をHTO(Hight TemperatureOxide)成膜とそのエッチバックにより形成し、ソース・ドレインのためのN型不純物とP型不純物をそれぞれ注入する。N型不純物としてはAsを約30KeVで $2 \times 10^{14} / \text{cm}^2$ 注入してN<sup>+</sup>領域308を形成し、P型不純物としてはBF<sub>2</sub>を約20KeVで $5 \times 10^{14} / \text{cm}^2$ 注入してP<sup>+</sup>領域309を形成する。その後、約950℃で30秒のRTA(Rapid thermal anneal)処理を施し、ソース領域とドレイン領域に注入された不純物を活性化させる。

【0024】(D) 表面の酸化膜を除去してゲート電極表面、ソース・ドレイン領域表面及び基板コンタクト領域表面を露出させた後、スパッタリング法によりチタンを約300Åの厚さに成膜し、シリサイドプロセスによりチタンシリサイド層310を形成する。チタンシリサイドの形成にはチタン膜のスパッタリング後、第1段階のアニールを約675℃で30秒間行ない、未反応のチタンを選択エッチング法により除去した後、第2段階のアニールを約950℃で約30秒間行なう。

(E) 層間絶縁膜311を形成し、コンタクトホールを開口した後、メタル電極312を形成する。以上のプロセスによってデュアルゲート構造CMOSデバイスが作成される。

【0025】(実施例2) 図4はゲート電極の低抵抗化と浅い接合形成をともに実現し、実施例1よりも工程を簡略化したデュアルゲート構造CMOSデバイスの製作

7

プロセスの実施例を表す。

(A) シリコン基板300にNウエル301、Pウエル302、フィールド酸化膜303、ゲート酸化膜304を形成し、フィールド酸化膜303とゲート酸化膜304上に膜厚が約3500Åのポリシリコン膜を形成する。そのポリシリコン膜の全面にBイオンを約20KeVで $4 \times 10^{15}/\text{cm}^2$ 注入する。次に、レジストパターンを形成し、それをマスクとしてPウエル402上のポリシリコン膜405bにPイオンを約40KeVで約 $5 \times 10^{15}/\text{cm}^2$ 注入する。これにより、ポリシリコン膜をP型領域405aとN型領域405bに区分する。その後、約850℃で約30分間、窒素雰囲気下でアニールし、活性化する。

【0026】(B) ポリシリコン膜405a、405bをパターン化してゲート電極405a'、405b'を形状し、NチャネルMOSFETのLDD用に低濃度N<sup>-</sup>領域406をイオン注入により形成する。その後、ゲート電極の側面にサイドウォール407をHTO成膜とそのエッチバックにより形成する。

【0027】(C) 表面の酸化膜を除去してゲート電極表面、ソース・ドレイン領域表面及び基板コンタクト領域表面を露出させた後、スパッタリング法によりチタンを約300Åの厚さに成膜し、サリサイドプロセスによりチタンシリサイド層408を形成する。チタンシリサイドの形成のためにチタン膜のスパッタリング後、第1段階のアニールを約675℃で30秒間行ない、未反応のチタンを選択エッチング法により除去する。チタンシリサイド形成のための第2段階のアニールはこの段階では行なわない。

【0028】(D) チタンシリサイド層408を介してソース・ドレイン領域のために不純物注入を行なう。ソース・ドレイン領域のためのN型不純物とP型不純物をそれぞれ注入する。N型不純物としてはAsを約30KeVで $2 \times 10^{14}/\text{cm}^2$ 注入してN<sup>+</sup>領域409を形成し、P型不純物としてはBF<sub>2</sub>を約20KeVで $5 \times 10^{14}/\text{cm}^2$ 注入してP<sup>+</sup>領域410を形成する。その後、約950℃で30秒のRTA処理を施し、ソース領域とドレイン領域に注入された不純物を活性化させる。このRTA処理がチタンシリサイド層408の第2段階

(5)

特開平6-310666

8

のアニールを兼ねている。

(E) 層間絶縁膜411を形成し、コンタクトホールを開口した後、メタル電極412を形成する。

【0029】

【発明の効果】本発明では、デュアルゲートとソース・ドレインへの不純物導入を別のプロセスで行なうので、ゲート電極の低抵抗化とソース・ドレインの浅い接合形成をともに満足させることができる。また、P型ゲート電極の低抵抗化のためのドーピング不純物としてボロンのみを使用するので、ゲート電極からチャネル領域へのボロン拡散を抑制して、しきい値電圧の変化を抑えることができる。ソース・ドレイン領域にはシリサイド層を形成することを前提として、ソース・ドレイン領域への注入ドーズ量を低下させることにより、浅い接合を形成することができ、低温での活性化を可能にし、結晶欠陥の発生を抑えることができる。また、ソース・ドレインの低温活性化が可能になることによって、活性化とサリサイドプロセスにおけるシリサイド化反応を同時に行なうこともできるようになる。

【図面の簡単な説明】

【図1】本発明におけるポリシリコン膜の低抵抗化プロセスを示す断面図である。

【図2】ポリシリコン膜にBを注入した場合(A)とBF<sub>2</sub>を注入した場合(B)のシート抵抗とチャネルのB濃度を示す図である。

【図3】第1の実施例を示す工程断面図である。

【図4】第2の実施例を示す工程断面図である。

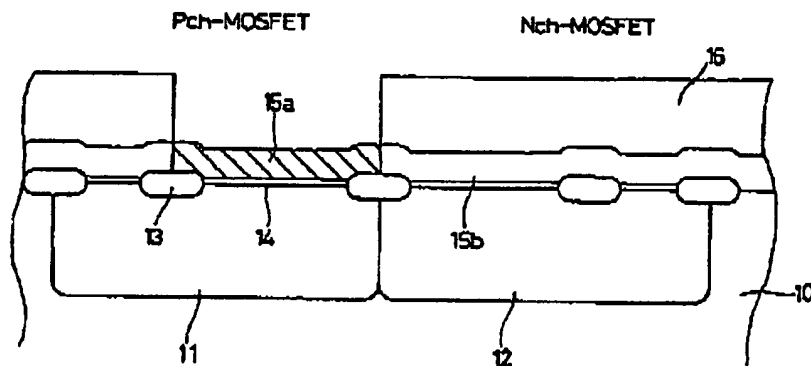
【符号の説明】

10, 300, 400	シリコン基板
11, 301, 401	Nウエル
12, 302, 402	Pウエル
14, 304, 404	ゲート酸化膜
15a, 305a, 405a	P型ポリシリコン膜
15b, 305b, 405b	N型ポリシリコン膜
305a', 305b', 405a', 405b'	ゲート電極
306, 308, 309, 406, 409, 410	ソース・ドレイン
310, 408	シリサイド層

(6)

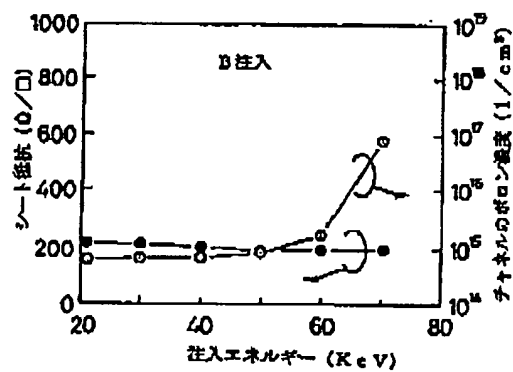
特開平6-310666

【図1】

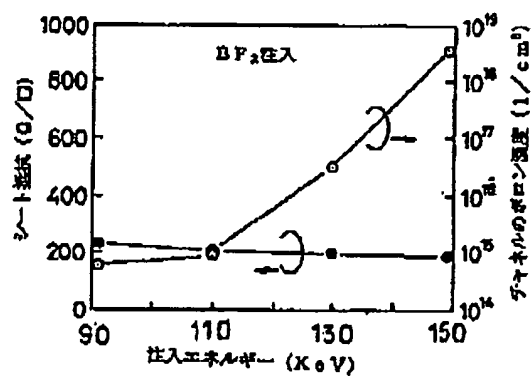


【図2】

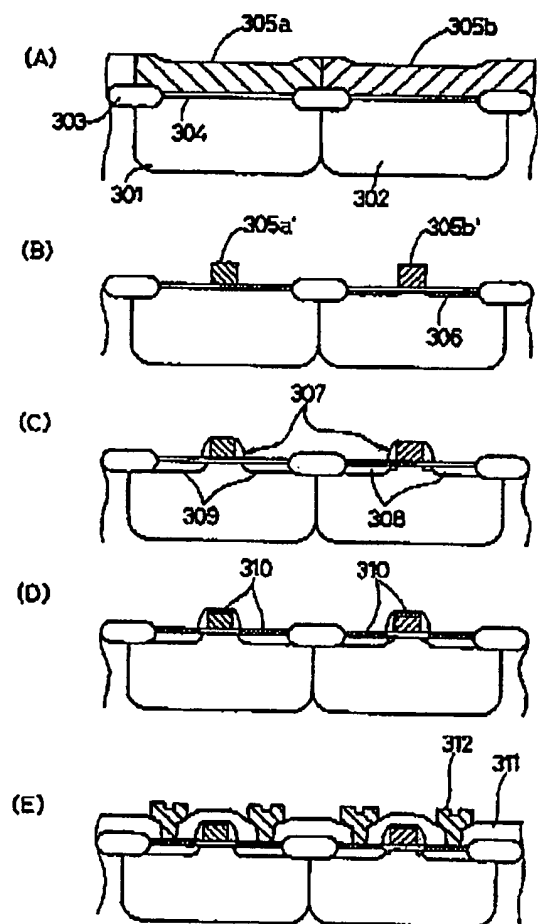
(A)



(B)



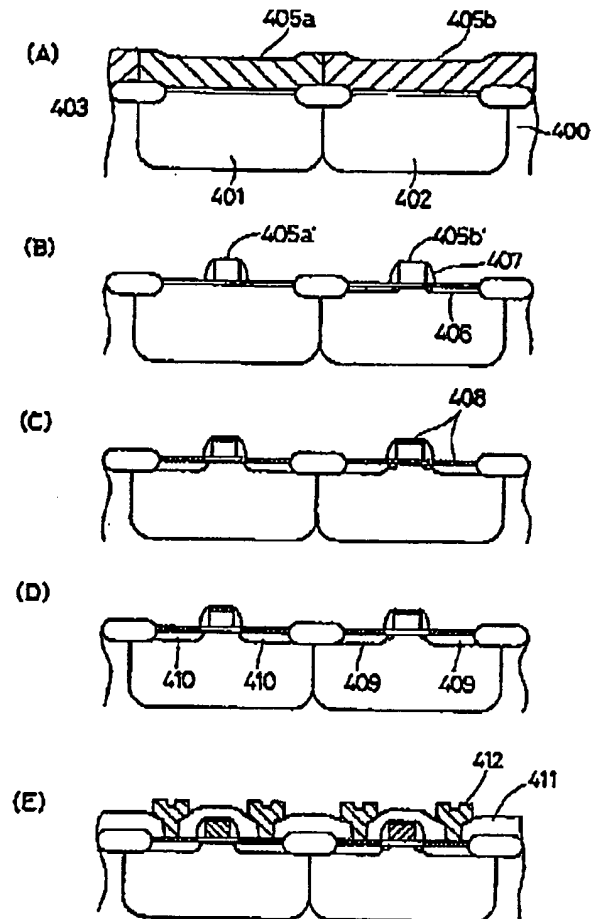
【図3】



(7)

特開平6-310666

【図4】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**